

Pulsonix Version 13.0 Update

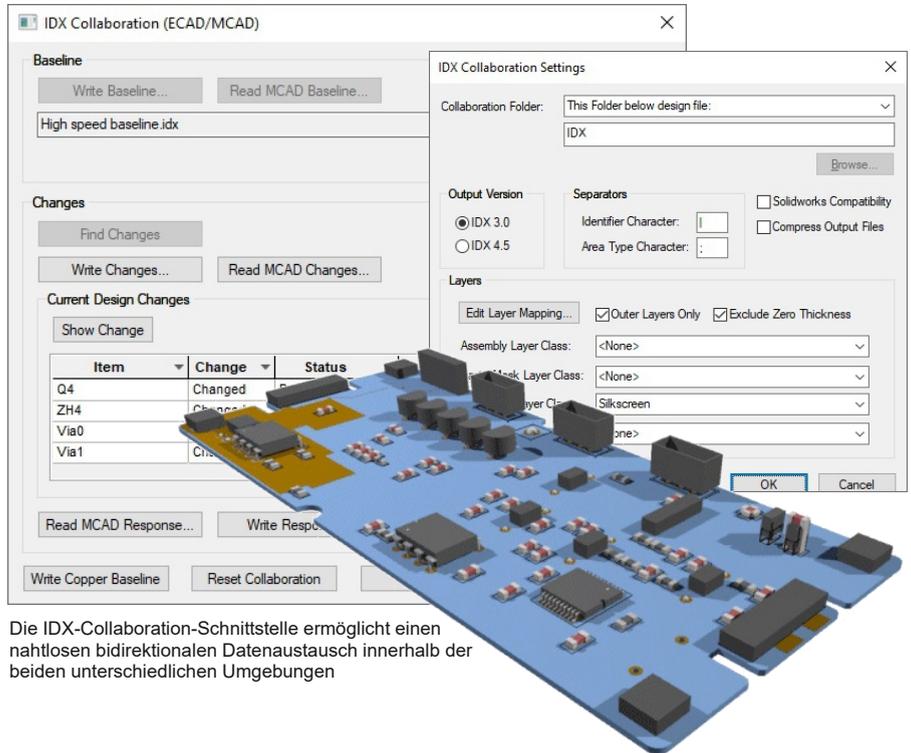
IDX Collaboration Interface

Das neue IDX Collaboration Interface bringt PCB und MCAD in der Pulsonix-Designumgebung noch näher zusammen.

Integrieren Sie Pulsonix mithilfe einer ereignisgesteuerten Methodik in Ihr MCAD-System (Mechanical CAD) oder aus Ihrem MCAD-System. Dadurch können Sie jede Phase der mechanischen Integration in Ihre Leiterplatte steuern.

IDX ermöglicht den nahtlosen Austausch inkrementeller Konstruktionsdaten zwischen ECAD- und MCAD-Software sowie Produkten wie SolidWorks und macht ihn dadurch weitaus effizienter.

Änderungen können in jeder Phase des Prozesses einfacher nachverfolgt und überprüft werden.



Die IDX-Collaboration-Schnittstelle ermöglicht einen nahtlosen bidirektionalen Datenaustausch innerhalb der beiden unterschiedlichen Umgebungen

Impedanzgesteuertes Routing

Innerhalb der High-Speed Option können Sie Ihre Impedanzregeln mit Impedanzwerten definieren und die Leiterbahnbreite generieren, die zum Routing anhand dieser Werte erforderlich ist. Materialien, Dicken und der Lagenaufbau werden bei der Berechnung genutzt.

Name	Associated Layer	Class	Side	Bias	Net	Material	Thickness
Assembly Top	Assembly Top	None	Top	None			0.000
Silkscreen Top	Silkscreen Top	None	Top	None			0.000
Y Top	Electrical	Top	X			Copper 1oz (0.035)	0.035
Solder Mask Top	Solder Mask Top	None	Top	None		Mask (0.025)	0.025
Paste Mask Top	Paste Mask Top	None	Top	None			0.000
Y Pin Names	Non-Electrical	Top	None				0.000
PrePreg1	Construction	None				Prepreg modified (0.105)	0.105
GND	Electrical	Inner	Power Plane			Copper 1oz (0.035)	0.035
Core1	Construction	None				FR4 STD	0.130
Y Inner 3	Electrical	Inner	None			Copper 1oz (0.035)	0.035
Core2	Construction	None				FR4 STD	0.130
Inner 4	Electrical	Inner	None			Copper 1oz (0.035)	0.035
Core3							
VDD							
Core4							
Y Inner 6	Adhesive (0.025)		0.025				
Core5	Copper 1/2oz (0.018)		0.018		595900		
VCC	Copper 1oz (0.035)		0.035		595900		
PrePreg2	Coverlay (0.025)		0.025				
Y Bottom	Flexi (0.025)		0.025				
Silks	Flexi (0.05)		0.050				
Solds	FR4 (0.3)		0.300				4.5
Paste	FR4 (0.4)		0.400				4.5
Wires	FR4 (1.0)		1.000				4.5
Asse							

Enable	Attribute Name	Match Value	Side	Layer	Area	Single Ended Impedance	Differential Impedance
<input checked="" type="checkbox"/>	<Net Name>	CLK				75.000000	<Undefined>
<input checked="" type="checkbox"/>	<Differential Pair Name>	DQS*				75.000000	100.000000
<input type="checkbox"/>	<Net Name>	*				75.000000	<Undefined>

Add new track style?

Name: ImpedanceWidth1

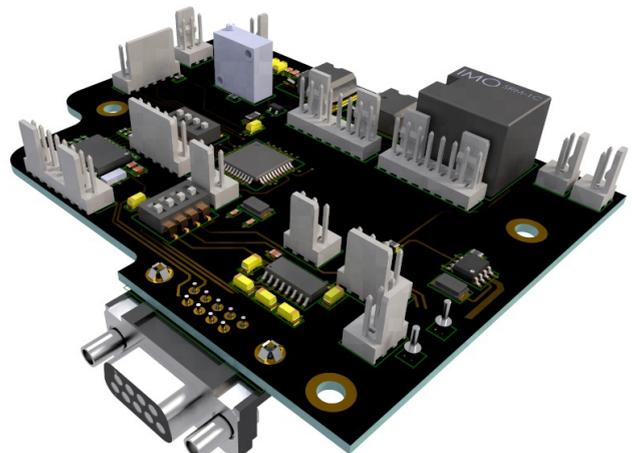
Width: 0.052774 mm

OK Cancel

Fotorealistische Darstellung im 3D-Viewer

Mit Pulsonix 13 kann die 3D-STEP-Vorschau nun ein fotorealistisches Bild anzeigen, das mithilfe von Ray- und Path-Tracing-Algorithmen generiert wurde.

Mithilfe der GPU zeigen beide Algorithmen qualitativ hochwertigere Bilder an, die das physische Design besser widerspiegeln.

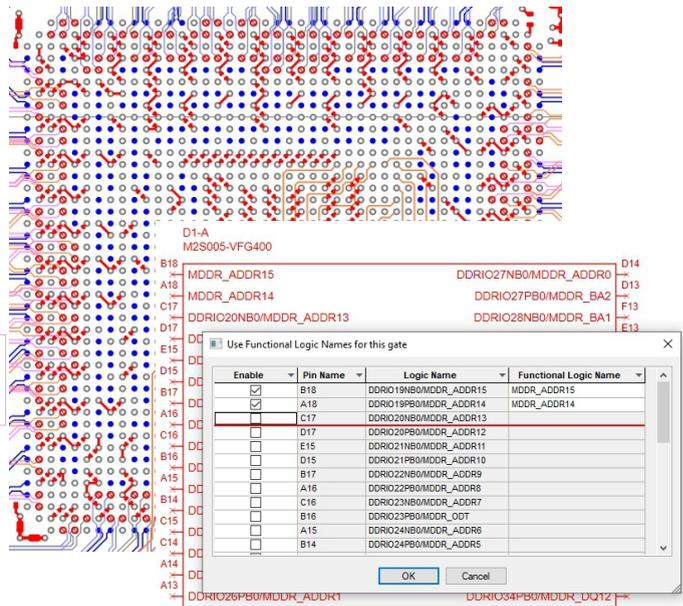


FPGA Erweiterungen

Zur weiteren Verbesserung der FPGA-Unterstützung in Pulsonix führt Version 13 auswählbare funktionale Logiknamen eines Teil-Pins innerhalb des Designs ein. Dies bedeutet, dass Teile mit Pins mit mehreren funktionalen Verwendungszwecken nach der Platzierung und nach Verwendung des FPGA-Tools definiert werden können.

Funktionslogiknamen können auch über eine neue CSV-Importfunktion importiert werden.

Funktionslogiknamen auf Designebene ermöglichen die gleichzeitige parallele Verarbeitung des Designs und der FPGA-internen Struktur, die dann jedoch synchronisiert wird, um sie zusammenzuführen



Neue elektrische Regelprüfungen in Schaltplänen

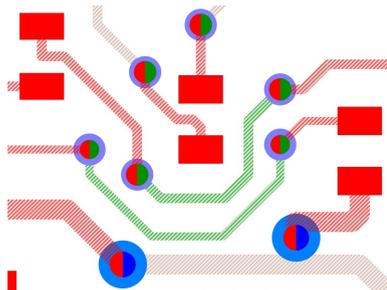
In Version 13 wurden beim ERC 12 neue Prüfungen hinzugefügt. Eine genaue Prüfung in der Schaltplanphase eliminiert kostspielige Fehler im PCB-Prozess. Mit der Reihe neuer Prüfungen ist Ihr Designprozess weniger auf menschliche Faktoren und mehr auf die Erkennung der Systemintegrität angewiesen.

Neu hinzugefügte Prüfungen:

- ERC in einem benannten Bereich durch
- Gesperrte Fehler löschen
- Netz an No Connect Pin
- Schematic-only Bauteile melden
- Die Prüfung „Pins Not On A Net“ schließt Montageloch oder Hilfsbohrung aus
- Pad-Pin-Typen
- Geteiltes Netz – Wenn der Netzname nicht in allen Subnetzen angezeigt wird
- Geteiltes Netz – Wenn sich geteilte Netze auf einer anderen Seite befinden
- Geteiltes Netz – es sei denn, der Pin-Typ ist „No Connect“.
- Stromnetze auf Nicht-Strom-Pins
- Technologie – Neuer Pin-Typ – Single-Pin-Netz
- Single-Pin-Netzprüfung
- Suche nach 2-Pin-Komponenten

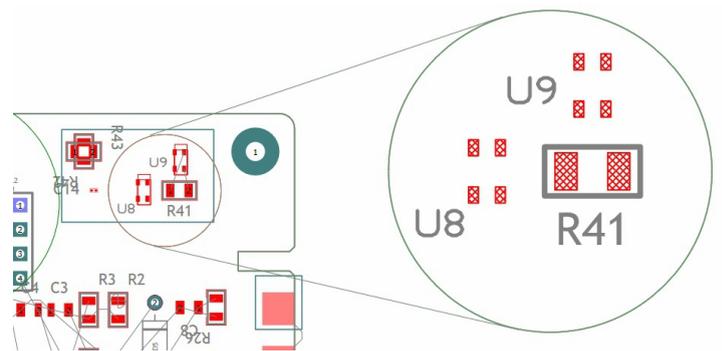
Via Layer-Indikatoren

Verwenden Sie die neuen Via-Layer-Indikatoren, um die äußersten Leiterbahnfarben innerhalb eines Blind- und Buried-Via-Stapels anzuzeigen. Dies zeigt Ihnen sofort die Konnektivität zur leichteren Identifizierung.



Verbesserte Visualisierung von Designelementen

Für diese Version wurden ebenenbasierte Transparenz, Elementschraffur und gemusterte Leiterbahnen eingeführt. Das bedeutet, dass jede Form pro Lage transparent sein kann. Dies



Unabhängige Transparenz und Schraffur innerhalb einer eingebetteten Ansicht unterstützen die Herstellung von Zeichnungen

Blinde und vergrabene Vias zeigen die Leiterbahnfarbe der äußersten Lagen an

Aktualisiertes Pulsonix Vault Berechtigungen für Vault-Elemente

Mit Vault-Elementberechtigungen und Ordnerberechtigungen können Sie Benutzern, die Zugriff auf den Vault benötigen, eine bessere Verfeinerung und einen besseren Schutz bieten.

Item ID	Type	Folder	Name	Revision
100	PCB Footprint	\Libras		
101	PCB Footprint	\Libras	Move Selected Item	
102	PCB Footprint	\Libras	Delete Selected Item	
103	PCB Footprint	\Libras	Check Out Selected Item	
104	PCB Footprint	\Libras	Copy Out Selected Item	
105	PCB Footprint	\Libras	Show Attributes	
106	PCB Footprint	\Libras	Update References to Selected Item	
107	PCB Footprint	\Libras	Item Permissions	
108	PCB Footprint	\Libras\Content\Footprints\Bsp01	MM10102	1.0

Vault Element Status

Innerhalb des Vault kann einem Artikel nun ein Status zugewiesen werden, beispielsweise „Aktuell“, „Veraltet“ oder „Eingestellt“. Dieser wird neben dem Artikel angezeigt und kann nach Bedarf sortiert und gefiltert werden.

Finden über Audit Trail

Durch Doppelklicken auf ein Element im Audit-Trail Verlauf wird das Element nun im Vaultbrowser gefunden und als Hyperlink aufgerufen, sodass Sie es schnell finden können.

Timestamp	Item ID	User	Action
17-04-2024 14:52:28.208	121	admin	Checked out PCB Design Pcb2 [1.1] 'Rev 1'
17-04-2024 14:50:18.545	121	admin	Moved PCB Design 'Design Content Pcb2 [1.1] 'Design Content'
17-04-2024 14:50:18.503	121	admin	Updated (with automatic referencing) PCB Design Pcb2 [1.1] 'First working prototype'
17-04-2024 14:50:18.503	121	admin	Renamed PCB Design Pcb2 [1.1] 'from VaultTest13 to Pcb2'
17-04-2024 14:49:47.345	121	admin	Checked out PCB Design VaultTest13 [1.0] 'Rev 1'
17-04-2024 14:49:03.196	121	admin	Cancelled check out PCB Design VaultTest13 [1.0] 'Design checked out has not been saved'
17-04-2024 14:48:29.345	121	admin	Cancelled check out PCB Design VaultTest13 [1.0] 'Rev 1'

Item ID	Type	Folder	Name	Revision	Status
122	Generic File	\Design Content	Spice License Overview.txt	1.0	
121	PCB Design	\Design Content	VaultTest13	1.2	

Plus zusätzliche Vault-Funktion:

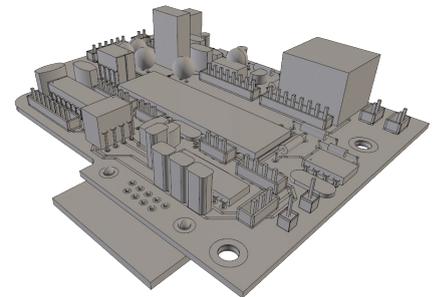
- Zusätzliche Funktionen von Pulsonix Version 13 Vault:
- Möglichkeit zum Trennen von Vault-Elementen für 3D-Pakete und STEP-Modelle
- Option „Nur anzeigen“.
- Melden Sie sich als Ersatz an
- Bibliotheksexport – Export nach Typ
- Audit Trail speichern und ausdrucken
- Anwenden von Technologiedateien auf Symbole/Footprints im Vault
- In Vault übertragen – Vollständigen Dateipfad anzeigen
- Aktualisiertes Vault
- Vault Postgres Server auf V14.5 aktualisiert
- Vault-Datenbank für V13.0 aktualisiert

Reduzierung der Dateigröße beim Zusammenführen einzelner 3D-Elemente

Die Dateigrößen der STEP-Exportdateien bei Verwendung der Option „Single Entity Merge“ wurden erheblich reduziert.

Zusätzliche 3D-Viewer-Funktionen:

- Lötmaske im 3D-Viewer
- Anzeige von Komponentenbereichen
- Ansicht der gepunkteten/gestrichelten Linienstile
- Änderungen an der Seite „Farben“ der 3D-Einstellungen
- Änderungen an der Interaktionsseite der 3D-Einstellungen
- Option „Nur Elemente innerhalb des Board-Umrisses“.
- Gehäuseposition STEP-Modelldialog – Montagelochbohrer
- Verbesserte Leistung beim Verschieben von Bohrlöchern und befestigten Elementen



Pulsonix V13 Funktionszusammenfassung:

- Filtern und Sortieren von Dialoggittern
- Dynamische Komponenten-zu-Komponenten-Prüfung während des Verschiebens
- Führen Sie die Option „Optimierung“ unter „Layoutmuster anwenden“ durch
- Kopieren Sie Gruppenmuster aus der Quelldatei in „Layoutmuster anwenden“.
- Aktualisierung der Report Maker-Befehle
- Gespiegelte PCB-Instanzen im Panel-Editor
- Tab-Routing für Flexi-Board-Umrisse in Panels
- Drag & Drop für DXF- und Gerber-Dateien
- Duale Einheiten im Messwerkzeug anzeigen
- Verbesserungen an der Konstruktionslinie
- Dimensionsaktualisierung hinzufügen
- Möglichkeit, Schaltpläne im Design-Browser zu ziehen
- Neue Werkzeugoption „Stile“ im Bibliotheksmanager
- Mehrfachauswahl „Fit/Unfit“ für Komponentenvarianten
- Zusätzliche Kontextmenüoptionen auf Arbeitsmappenregisterkarten
- Neue Funktionalität zu Abreißfenstern hinzugefügt
- Änderungen im Dialogfeld „Technologie laden“.
- Datenmatrix-Textschriftart hinzugefügt
- Pad-Stile verfügen über optionale Bohrertypen und Toleranzen
- Überholung der Säurefalle-Prüfung
- Neue Kupferantennenregel
- Visuelle Indikatoren für blinde/vergrabene Via-Lagenspannweiten
- Pulsonix 13.0 wird unter Windows 11 vollständig unterstützt
- Plus viele weitere Funktionen...

